

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09312350 A

(43) Date of publication of application: 02 . 12 . 97

(51) Int. Cl. H01L 21/8246  
H01L 27/112  
H01L 21/265  
H01L 21/28  
H01L 21/3065

(21) Application number: 08125563

(71) Applicant: SONY CORP

(22) Date of filing: 21 . 05 . 96

(72) Inventor: YAMAZAKI TAKESHI

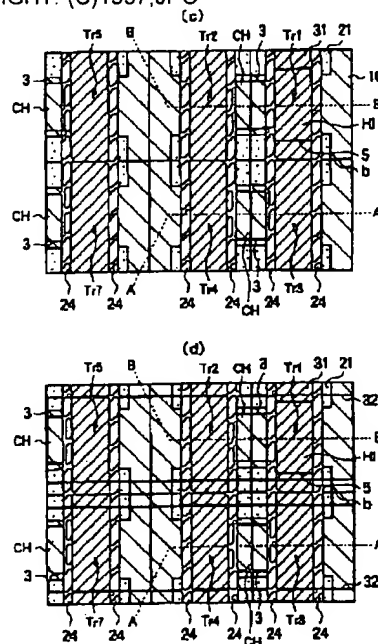
(54) READ-ONLY SEMICONDUCTOR STORAGE  
DEVICE AND ITS MANUFACTURE

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a read-only semiconductor storage device and its manufacturing method which is high-reliability and low-cost and of short TAT, in spite of ion implantation programming system.

SOLUTION: A gate electrode 31 to constitute a field-effect transistor is made on a semiconductor 10 substrate, and the gate electrode 31 is covered with an electrode covering insulating film, and an interlayer insulating film is made. In the interlayer insulating film, a contact hole which reaches the diffusion layer 12 of a field-effect transistor and, at the section corresponding to the channel region of the field-effect transistor to be programmed, a hole HI for ion implantation is made in the etching processing using the same mask. Then, impurities 13 for program are introduced by ion implantation, and the introduced impurities are activated, and a wiring layer 32 is made in the contact hole CH.



(11)特許出願公開番号

特開平9-312350

(43)公開日 平成9年(1997)12月2日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/8246			H01L 27/10	433
27/112			21/28	L
21/265			21/265	F
21/28				R
21/3065			21/302	J
審査請求 未請求 請求項の数 7 O L (全 8 頁)				

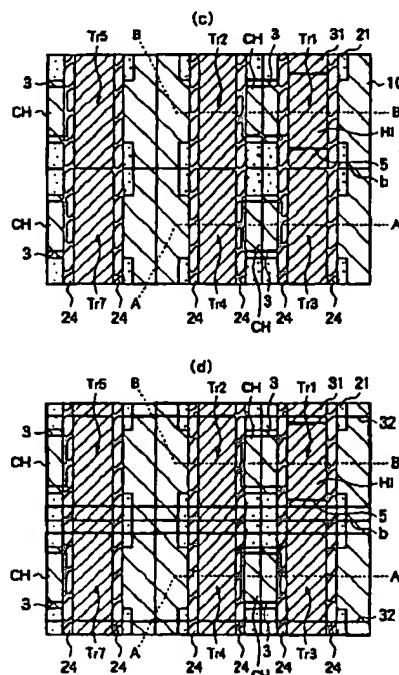
(21)出願番号	特願平8-125563	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)5月21日	(72)発明者	山崎 武 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 佐藤 隆久

(54)【発明の名称】 読み出し専用半導体記憶装置及びその製造方法

(57) 【要約】

【課題】プログラムがイオン注入方式でありながら高信頼性、低コスト、短TATの読み出し専用半導体装置及びその製造方法を提供する。

【解決手段】半導体１０基板上に電界効果型トランジスタを構成するゲート電極３１を形成し、ゲート電極３１を電極被覆絶縁膜２５で覆い、層間絶縁膜２７を形成し、電界効果型トランジスタの拡散層１２に達するコンタクトホールＣＨとプログラムすべき電界効果型トランジスタのチャネル領域に対応する部位にイオン注入用ホールＨ１それぞれを同一マスクを用いるエッチング工程で層間絶縁膜２７に形成し、イオン注入によりプログラム用不純物１３を導入し、導入した不純物の活性化を行い、コンタクトホールＣＨへ配線層３２を形成する工程により、製造する。



## 【特許請求の範囲】

【請求項1】電界効果型トランジスタに対してイオン注入することによりプログラムを行う読み出し専用半導体記憶装置において、

該電界効果型トランジスタを覆う層間絶縁膜に、プログラムされた電界効果型トランジスタのチャネル部に対応する部位に対して形成されたイオン注入用ホールと該トランジスタの拡散層に対して形成されたコンタクトホールとがそれぞれ形成されていることを特徴とする読み出し専用半導体記憶装置。

【請求項2】該電界効果型トランジスタのゲート電極の上部及び側部を被覆する電極被覆絶縁膜上にエッチングストッパー膜が形成されている請求項1記載の読み出し専用半導体記憶装置。

【請求項3】上記層間絶縁膜のイオン注入用ホール内面とコンタクトホール内面とに配線層が形成されている請求項1記載の読み出し専用半導体記憶装置。

【請求項4】上記コンタクトホールが、互いに隣接して拡散層を共有する一対の電界効果型トランジスタの該共通拡散層に達している請求項1記載の読み出し専用半導体記憶装置。

【請求項5】半導体基板上に電界効果型トランジスタを構成するゲート電極を形成する工程と、  
該ゲート電極を電極被覆絶縁膜で覆う工程と、  
層間絶縁膜を形成する工程と、  
上記電界効果型トランジスタの拡散層に達するコンタクトホールとプログラムすべき電界効果型トランジスタのチャネル領域に対応する部位にイオン注入用ホールそれぞれを同一マスクを用いるエッチング工程で上記層間絶縁膜に形成する工程と、  
イオン注入によりプログラム用不純物を導入する工程と、  
該導入した不純物の活性化を行う工程と、  
上記コンタクトホールへ配線層を形成する工程とを有することを特徴とする読み出し専用半導体記憶装置の製造方法。

【請求項6】上記電極被覆絶縁膜をエッチングストッパー膜で被覆する工程を有する請求項5記載の読み出し専用半導体記憶装置の製造方法。

【請求項7】上記配線層をイオン注入用ホールにも形成する請求項5記載の読み出し専用半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、読み出し専用半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】半導体のROM容量は近年ますます大きくなる傾向にあり、また、シリコン上にシステムを構築するシステムオンシリ

コンが要求されるため、配線はますます複雑化し、その多層化が進んでいる。

【0003】マイクロコントローラに搭載されるマスクROM、即ち読み出し専用半導体記憶装置においては、TAT (turn around time ; プログラム内容が決定してから出荷するまでの期間) の短縮及びコストダウンが大きな課題となっている。マスクROMのプログラム方法としては、例えばコンタクトプログラム方式がある。この方法は、プログラム工程が製造プロセスの最終工程に近いのでTATが短いという利点があるが、一つのトランジスタに一つのコンタクトが必要なため、メモリセルの専有面積が大きくなり、経済的に不利である。

【0004】また、イオン注入プログラム方式があり、デプレッション化方式と高V<sub>th</sub>化イオン注入方式がある。このうち高V<sub>th</sub>化方式は、TATも比較的短く、メモリセルサイズも大きくない点で優れている方法である。ところで、メモリセルサイズを更に小さくするため、互いに隣接する二つのトランジスタ間の共通の拡散層に対して一つのコンタクトを設け、自己整合的にコンタクトを形成した構造がある。この方法では高V<sub>th</sub>化イオン注入方式が有望である。

【0005】しかし、金属配線形成後にプログラムのイオン注入を行うとAlのEM (エレクトロマイグレーション) 等の信頼性が劣化するため、十分な活性化ができない。このため、ジャンクション破壊を回復させることができず、リーク電流が増加しメモリーの「1」、「0」判定が困難となる。これにより、半導体装置の信頼性が低下するという問題があった。

【0006】一方、イオン注入方式では、「1」、「0」判定を確実にするためには、オン電流を稼ぐ必要があり、ゲート幅を大きくする方法があるが、これはセルサイズの増大につながる。また、金属配線後にプログラムイオン注入を行うためには、図8に示すように、チャネル領域を金属配線が通らない構造とする必要があり、この場合にもセルサイズが大きくなる。即ち、図8において、アルミニウム配線層32は、トランジスタT<sub>1</sub>のチャネル領域ではなくLOCOS21上に配線され、隣接する一対のトランジスタ間の拡散領域に形成されたコンタクトSCに対して出っ張り部32aを介して接続されている。

【0007】更に、プログラム工程を後工程にするほど、プログラムマスクとゲートとの合わせずれが大きくなることは避けられず、予めマスクずれマージンを見込むことになり、この場合もセルサイズの拡大につながる。以上より、イオン注入によりトランジスタの閾値を高くする方式では、短TAT化を行うとセルサイズの増大は免れず、チップコストの増大につながっていた。

【0008】また、チップコストの増大の要因として工程増の問題があり、従来技術ではプログラム専用マスクを用いて不純物を導入していたため、フォトレジスト工

程とイオン注入工程の分がマスクROMを形成しない場合に比べてコスト増となっていた。

【0009】そのため、高い信頼性を確保した上で、よりコストダウン及び短TAT化した読み出し専用半導体記憶装置の開発が望まれていた。本発明は、上記要望に鑑みなされたもので、プログラムがイオン注入方式でありながら高信頼性、低コスト、短TATの読み出し専用半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するため、電界効果型トランジスタに対してイオン注入することによりプログラムを行う読み出し専用半導体記憶装置において、該電界効果型トランジスタを覆う層間絶縁膜に、プログラムされた電界効果型トランジスタのチャンネル部に対応する部位に対して形成されたイオン注入用ホールと該トランジスタの拡散層に対して形成されたコンタクトホールとがそれぞれ形成されていることを特徴とする読み出し専用半導体記憶装置を提供する。

【0011】また、本発明は、上記目的を達成するため、半導体基板上に電界効果型トランジスタを構成するゲート電極を形成する工程と、該ゲート電極を電極被覆絶縁膜で覆う工程と、層間絶縁膜を形成する工程と、上記電界効果型トランジスタの拡散層に達するコンタクトホールとプログラムすべき電界効果型トランジスタのチャンネル領域に対応する部位にイオン注入用ホールそれぞれを同一マスクを用いるエッチング工程で上記層間絶縁膜に形成する工程と、イオン注入によりプログラム用不純物を導入する工程と、該導入した不純物の活性化を行う工程と、上記コンタクトホールへ配線層を形成する工程とを有することを特徴とする読み出し専用半導体記憶装置の製造方法を提供する。

【0012】この場合、上記電極被覆絶縁膜をエッチングストッパー膜で被覆することが好ましい。本発明の読み出し専用半導体装置は、電界効果型トランジスタに対してイオン注入することによりプログラムを行う方式の読み出し専用半導体記憶装置であり、その電界効果型トランジスタを覆う層間絶縁膜に、プログラムされた電界効果型トランジスタのチャンネル部に対応する部位に対してイオン注入用ホールが形成されていると共に、該トランジスタの拡散層に対してコンタクトホールが形成されている構造である。かかる構造は、トランジスタを覆う層間絶縁膜に対して、イオン注入によりプログラムを行うホールと、トランジスタの拡散層と配線層とを接続するためのコンタクトホールとを一枚のマスクを用いるエッチング工程で同時に形成することにより実現することができる。

【0013】従って、プログラム工程が、コンタクト形成工程と同じ工程であるので、プログラム専用工程がなくなり、工程が短縮する。また、配線層は、この層間絶

縁膜にホールを形成した後、コンタクトホールに形成することになるので、アニーリングが配線層に影響を与えるおそれがないため、十分なアニーリングをすることができる。そのため、ジャンクションリークと $V_{th}$ のばらつきが減少し、読み出しエラーが減り、信頼性が高まる。更に、イオン注入する領域、即ちトランジスタのチャンネル領域と配線とを重ねることができると、セルサイズが小さくなり、集積度が向上する。加えて、トランジスタを形成した後、このトランジスタにイオン注入するため、TATは短い。

【0014】この場合、イオン注入用ホールをトランジスタのチャンネル領域に対応する部位の層間絶縁膜にエッチングで形成するため、トランジスタのゲート電極を覆う電極被覆絶縁膜に、これをエッチングから保護するエッチングストッパー膜を形成することが好ましい。

【0015】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法を、図面に示す実施形態に基づき、詳細に説明する。言うまでもなく、本発明は以下の形態に限定されるものではない。

【0016】本実施形態の半導体装置は、トランジスタの閾値を高くすることによりプログラムし、互いに隣接する一対のトランジスタ間の共通拡散層に配線層が自己整合的に接続された構造のコントローラに用いるマスクROMであり、その製造工程を図1～7を用いて説明する。

【0017】図1及び図2は、製造工程のセル平面図であり、図2(c)から図2(d)に至る工程の断面図を図3～図7に示す。この読み出し専用ROMは、T字型セルで二つのトランジスタを一つのコンタクトで共有している構造のマスクROMである。

【0018】まず、図3に至る工程を説明する。図3～図7の(a)は、図2(c)、図2(d)のA-A'線に沿った断面図であり、プログラムを行わないセルの断面を示し、(b)は、図2(c)、図2(d)のB-B'線に沿った断面図で、プログラムを行うセルの断面図である。

【0019】図1(a)に示すように、p型半導体基板10上に窒化珪素膜で活性領域となる領域を保護しながら熱酸化して厚い素子分離酸化膜(LOCOS)21を形成する。その後、窒化珪素膜を除去した後、図示しないゲート酸化膜を形成する。ゲート酸化膜の膜厚は5.0～10nm程度である。なお、図1、図2には、一つのメモリセルの面積を示すために、セルの境界線bを記載している。

【0020】次に、図1(b)に示すように、例えば多結晶シリコン31a、シリサイド31b、酸化シリコンを堆積した後、パターニングして多結晶シリコンとシリサイドから構成されるゲート電極31及びゲート電極上のオフセット絶縁膜23を形成する。ゲート長は0.

35  $\mu\text{m}$ 程度である。そして、n型不純物をイオン注入してLDD (lightly doped drain) 11を形成する。  
 【0021】その後、図2(c)に示すように、酸化シリコンを堆積した後エッチバックすることにより、ゲート電極31の側部にサイドウォール24を形成する。これらのオフセット絶縁膜23とサイドウォール24とがゲート電極31を被覆する電極被覆絶縁膜25を構成する。サイドウォール24を形成した後、n型不純物を注入してソース・ドレイン12を形成する。これにより、トランジスタTr1~Tr7が形成される。

【0022】次に、エッチングストップ膜26を例えばCVD法により形成する。このエッチングストップ膜26は、ゲート電極被覆絶縁膜25をエッチングから保護するためのもので、次に形成する層間絶縁膜27とエッチング比が異なる材料で構成し、例えばSi、Nを用いる。その他、金属酸化物で構成してもよく、例えばアルミナ、酸化チタン等を金属膜形成後に酸化する、あるいは直接金属酸化膜を形成する方法などで形成することもできる。膜厚は、80から100nm程度である。その後、層間平坦化膜27を形成する。これは、BPSGを600nm程度CVDし、リフローあるいはエッチバックにより平坦化を行う。

【0023】次いで、この層間絶縁膜に相隣接するトランジスタ間の共通拡散層に対するコンタクトホールと、プログラムすべきトランジスタ(ここではTr1)のチャネル領域に対応する箇所にイオン注入用ホールH1とを形成する工程に入る。層間絶縁膜27上にレジストR1を塗布した後、レジストのパターニングを行う。この工程は、図2(c)に示すとおり、コンタクトパターン3とプログラムパターン5は一つのマスクで形成する。  
 【0024】ここで、コンタクトマスクはマスクROMプログラムイオン注入のためのマスクと同一である。マスクROMのプログラムパターンはユーザーにより異なるので、それぞれ異なったマスクを用いる。本発明ではコンタクトマスクと兼用することによってプログラムの専用工程が不要となる。以上の工程により、図3に示す構造を得ることができる。

【0025】その後、図4に示すように、コンタクトエッチングを行う。エッチングはウェット又はドライで行い、レジストR1との界面にテーパーを形成することが好ましい。また、このエッチングは、エッチングストップ膜(Si、N、)26でエッチングを終了する。この時、少なくともコンタクト底部の、更には露出した全部のエッチングストップ膜26をオーバーエッチ、あるいは別工程のエッチングにより除去する。この場合、コンタクトホールCHは、一対のトランジスタ間の拡散層に自己整合的に形成される。また、プログラムするトランジスタTr1のチャネル領域の上の層間絶縁膜26にはイオン注入用のホールH1が形成される。

【0026】その後、図5に示すようにプログラムイオ

ン注入を行う。プログラムは、例えばB<sup>+</sup>を用い、エネルギー80KeV~120KeV程度、Dose量 $5 \times 10^{11} \sim 8 \times 10^{11} \text{ cm}^{-2}$ 程度である。このとき、同図の破線Bで示すように、コンタクト部にもプログラムイオンが注入されるが、エネルギーが高く、Dose量も多くないのでコンタクト抵抗には影響が無い。

【0027】次に、図6に示すように、レジストR1を除去し、十分にアニールを行う。アニールは窒素雰囲気中、摂氏800~900度で20分から60分程度である。アニールによりプログラムしたトランジスタTr1のチャネル部分に不純物が拡散して基板と同じ導電形の不純物拡散層13が導入されて閾値が高くなると共に、活性化されるため、ドレインジャンクションの欠陥が回復する。この場合、アニールにより絶縁膜26からのオートドーブが起こりコンタクト抵抗が上がるため、アニール後にコンタクト底部を軽くエッチング除去する。また、コンタクトイオン注入を $\sim 10^{11} \text{ cm}^{-2}$ 程度行うことにより、十分コンタクトがとれる。

【0028】その後、図7、図2(d)に示すように金属配線層32をスパッタリングにより形成し、ビットラインを形成する。最後に、図示しないオーバーコート形成してパッドを開けることにより、本発明の読み出し専用半導体装置が完成する。

【0029】このようにして得られた読み出し専用半導体装置の構造上の特徴は、ゲート電極31を被覆するオフセット絶縁膜23とサイドウォール24とで構成される電極被覆絶縁膜25を覆い、層間絶縁膜27とエッチング比が異なるエッチングストップ膜26が形成されていること、プログラムすべきトランジスタTr1の上の層間絶縁膜27に閾値を調整するためのイオン注入用のホールH1が形成されて、このホールH1に配線層32が形成されていること、イオン注入用のホールH1形成と同じマスクで形成されたコンタクトホールCHが形成され、このホールCHに配線層32が形成されていること、このコンタクトホールCHは、隣接する一対のトランジスタ間の共通拡散層12に接続され、自己整合的に形成されていることなどである。

【0030】上記製造方法では、イオン注入方式であるにもかかわらず、コンタクトマスクとプログラムマスクが一つのマスクでまかなえるためにプログラム専用マスク、プログラム専用工程を削減でき、コストダウンできる。また、閾値調整用の不純物をイオン注入してから十分な活性化を行うことにより、ジャンクションリークを低減させ、信頼性の高いマスクROMを提供できる。かかる不純物拡散により、イオン注入時の層間膜の膜厚バラツキに対して、十分なマージンをとることが可能である。

【0031】更に、プログラム工程とコンタクト形成工程を同時にできるため、ゲートを形成する前にプログラムする方法に比べてTATの短縮が可能である。しかも、

コンタクトを隣接するトランジスタの間の拡散層に自己整合的に形成できるため、セルサイズの縮小が可能である。また、配線層をトランジスタのゲート電極の上に形成することができるため、この点でもセルサイズを縮小することができる。このセルサイズの縮小に伴い、ゲート幅の拡大が可能であるので、高速読み出しも用途により可能である。

【0032】本態様では金属配線を一層としているが、多層の場合でも層間膜を形成して従来技術で形成できることは言うまでもない。また、イオン注入により閾値を高くするプログラム方式で説明したが、デプレッション型にする方式でも勿論本発明が適用可能である。更に、上記読み出し専用半導体装置では、OR形式で説明したが、AND型でもよい。また更に、コンタクトを自己整合的に形成する例を説明したが、自己整合的でなくてもよく、その他本発明の要旨を逸脱しない範囲で種々変更が可能である。

【0033】

【発明の効果】本発明の読み出し専用半導体装置は、高信頼性、低コスト、短TAT等の特徴を有する。また、本発明の読み出し専用半導体装置の製造方法は、高信頼性、低コスト、短TATの読み出し専用半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】図1は本発明の実施形態に係る読み出し専用半導体記憶装置の製造方法の製造工程を示すメモリセル平面図であり、(a)はLOCOSによる素子分離段階まで、(b)はゲート電極形成段階までをそれぞれ示す。

【図2】図2は図1の続きの工程を示し、(c)はコンタクトパターンとプログラムパターンのパターンニング工程まで、(d)は金属配線形成工程をそれぞれ示す。

【図3】図3は本発明の実施形態に係る読み出し専用半導体記憶装置の製造方法の製造工程を示す概略断面構造\*

\*図であり、コンタクトパターンとプログラムパターンのパターンニング工程までを示し、(a)は、図2(c)におけるA-A'に沿った断面図、(b)が図2(c)におけるB-B'線に沿った断面図である。

【図4】図4は図3の続きの工程を示し、コンタクトホールとプログラムホールの形成工程までを示し、(a)は、図2(c)におけるA-A'に沿った断面図、(b)が図2(c)におけるB-B'線に沿った断面図である。

【図5】図5は図4の続きの工程を示し、プログラム不純物導入工程までを示し、(a)は、図2(c)におけるA-A'に沿った断面図、(b)が図2(c)におけるB-B'線に沿った断面図である。

【図6】図6は図5の続きの工程を示し、アニールによるプログラム不純物の活性化工程までを示し、(a)は、図2(c)におけるA-A'に沿った断面図、(b)が図2(c)におけるB-B'線に沿った断面図である。

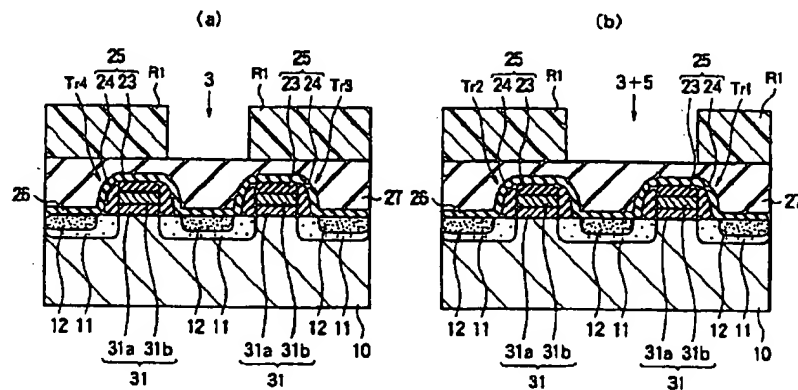
【図7】図7は図6の続きの工程を示し、金属配線層形成工程までを示し、(a)は、図2(d)におけるA-A'に沿った断面図、(b)が図2(d)におけるB-B'線に沿った断面図である。

【図8】図8は従来技術の、イオン注入プログラム方式による読み出し専用半導体記憶装置のメモリセル平面図を示す。

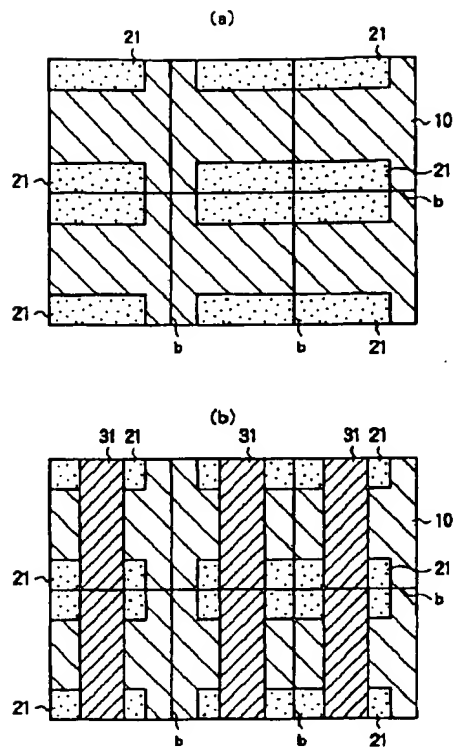
【符号の説明】

10…基板、11…LDD、12…ソース・ドレイン、13…プログラム不純物拡散層、21…素子分離絶縁膜、23…オフセット絶縁膜、24…サイドウォール、25…電極被覆絶縁膜、26…エッチングストッパー膜、27…層間絶縁膜、31…ゲート電極、32…配線層、Tr…トランジスタ、CH…コンタクトホール、H1…イオン注入用ホール。

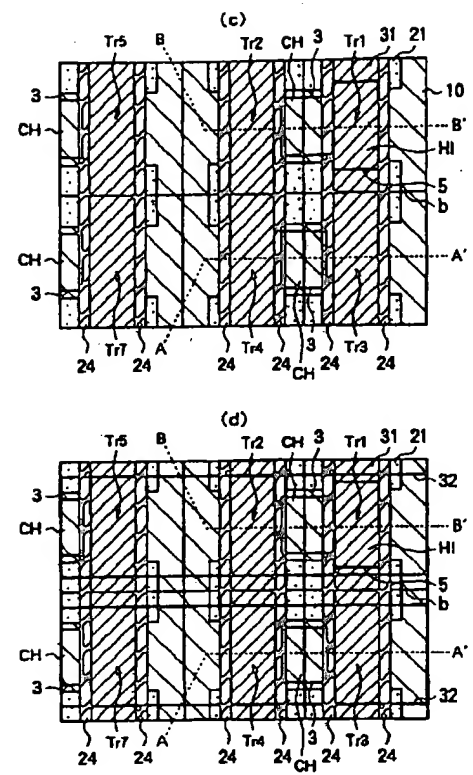
【図3】



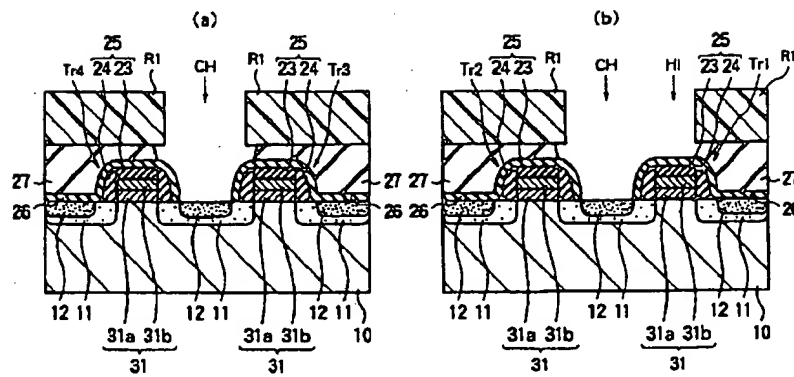
【図1】



【図2】



【図4】







【図8】

